

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

		Application No.	10/788,704
		Filing Date	February 27, 2004
		First Named Inventor	Byung-II PARK
		Art Unit	
		Examiner Name	
Total Number of Pages in This Submission	6	Attorney Docket Number	51876P593

ENCLOSURES (check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance Communication to Group
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment / Response	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	<div style="border: 1px solid black; padding: 5px;">Request for priority Return receipt postcard</div>
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s)	
<input type="checkbox"/> PTO/SB/08		
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> Remarks	
<input type="checkbox"/> Response to Missing Parts/ Incomplete Application		
<input type="checkbox"/> Basic Filing Fee		
<input type="checkbox"/> Declaration/POA		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Eric S. Hyman, Reg. No. 30,139 BLAKELY, SOKOLOFF, TAYLOR & ZAFMAN LLP
Signature	
Date	April 2, 2004

CERTIFICATE OF MAILING/TRANSMISSION

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Typed or printed name	Nadya Gordon		
Signature		Date	April 2, 2004

Based on PTO/SB/21 (02-04) as modified by Blakely, Sokoloff, Taylor & Zafman (wlr) 02/10/2004.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



FEE TRANSMITTAL for FY 2004

Effective 01/01/2004. Patent fees are subject to annual revision.

Applicant claims small entity status. See 37 CFR 1.27.

TOTAL AMOUNT OF PAYMENT

(\$)

Complete if Known

Application Number	10/788,704
Filing Date	February 27, 2004
First Named Inventor	Byung-II PARK
Examiner Name	
Art Unit	
Attorney Docket No.	51876P593

METHOD OF PAYMENT (check all that apply)

Check Credit card Money Order Other None

Deposit Account

Deposit Account Number 02-2666

Deposit Account Name Blakely, Sokoloff, Taylor & Zafman LLP

The Commissioner is authorized to: (check all that apply)

- Charge fee(s) indicated below Credit any overpayments
 Charge any additional fee(s) or underpayment of fees as required under 37 CFR §§ 1.16, 1.17, 1.18 and 1.20.
 Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		FeePaid
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1001	770	2001	385	Utility filing fee
1002	340	2002	170	Design filing fee
1003	530	2003	265	Plant filing fee
1004	770	2004	385	Reissue filing fee
1005	160	2005	80	Provisional filing fee
SUBTOTAL (1)		(\$)		

2. EXTRA CLAIM FEES

Total Claims	Independent Claims	Extra Claims	Fee from below	FeePaid
		20 ** = <u> </u>	X <u> </u> = <u> </u>	
		3 = <u> </u>	X <u> </u> = <u> </u>	

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	65	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple Dependent claim, if not paid
1204	65	2204	43	**Reissue independent claims over original patent
1205	18	2205	9	**Reissue claims in excess of 20 and over original patent
SUBTOTAL (2)		(\$)		

*or number previously paid, if greater. For Reissues, see below

3. ADDITIONAL FEES

Large Entity	Small Entity	FeeDescription	FeePaid
Fee Code	Fee (\$)	Fee Code	Fee (\$)
1051	130	2051	65 Surcharge - late filing fee or oath
1052	50	2052	25 Surcharge - late provisional filing fee or cover sheet.
2053	130	2053	130 Non-English specification
1812	2,520	1812	2,520 For filing a request for ex parte reexamination
1804	920 *	1804	920 * Requesting publication of SIR prior to Examiner action
1805	1,840 *	1805	1,840 * Requesting publication of SIR after Examiner action
1251	110	2251	55 Extension for reply within first month
1252	420	2252	210 Extension for reply within second month
1253	950	2253	475 Extension for reply within third month
1254	1,480	2254	740 Extension for reply within fourth month
1255	1,210	2255	605 Extension for reply within fifth month
1404	330	2401	165 Notice of Appeal
1402	330	2402	165 Filing a brief in support of an appeal
1403	290	2403	145 Request for oral hearing
1451	1,510	2451	1,510 Petition to institute a public use proceeding
1452	110	2452	55 Petition to revive - unavoidable
1453	1,330	2453	665 Petition to revive - unintentional
1501	1,330	2501	665 Utility issue fee (or reissue)
1502	480	2502	240 Design issue fee
1503	640	2503	320 Plant issue fee
1460	130	2460	130 Petitions to the Commissioner
1807	50	1807	50 Processing fee under 37 CFR 1.17(q)
1806	180	1806	180 Submission of Information Disclosure Stmt
8021	40	8021	40 Recording each patent assignment per property (times number of properties)
1809	770	1809	385 Filing a submission after final rejection (37 CFR § 1.129(a))
1810	770	2810	385 For each additional invention to be examined (37 CFR § 1.129(b))
1801	770	2801	385 Request for Continued Examination (RCE)
1802	900	1802	900 Request for expedited examination of a design application
Other fee (specify)			
* Reduced by Basic Filing Fee Paid		(\$)	

SUBTOTAL (3)

(\$)

Complete (if applicable)

Name (Print/Type)	Eric S. Hyman	Registration No. (Attorney/Agent)	30,139	Telephone	(310) 207-3800
Signature				Date	04/02/04

Based on PTO/SB/17 (10-03) as modified by Blakely, Sokoloff, Taylor & Zafman (wir) 02/10/2004.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



DOCKET NO.: 51876P593

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

BYUNG-IL PARK

Application No.: 10/788,704

Filed: February 27, 2004

For: **SEMICONDUCTOR MEMORY
DEVICE**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

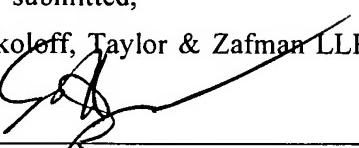
Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2003-94697	22 December 2003

A certified copy of the document is being submitted herewith.

Respectfully submitted,
Blakely, Sokoloff, Taylor & Zafman LLP

Dated: April 2, 2004


Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Nadya Gordon 04-02-04
Date



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0094697
Application Number

출 원 년 월 일 : 2003년 12월 22일
Date of Application DEC 22, 2003

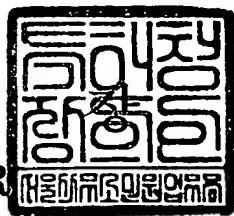
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2004 년 02 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0002		
【제출일자】	2003. 12. 22		
【발명의 명칭】	반도체 메모리 소자		
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	박병일		
【성명의 영문표기】	PARK, Byung Il		
【주민등록번호】	680924-1110414		
【우편번호】	467-701		
【주소】	경기도 이천시 부발읍 아미리 산 136-1		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	18	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	9	항	397,000 원
【합계】	426,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】

【요약】

본 발명은 반도체 설계 기술에 관한 것으로, 특히 반도체 메모리 소자의 내부 데이터 전송 방식에 관한 것이다. 본 발명은 글로벌 데이터 버스의 라인수 증가에 따른 전류 소모를 최소화할 수 있는 반도체 메모리 소자를 제공하는데 그 목적이 있다. 본 발명에서는 글로벌 데이터 버스와 접속된 송/수신기를 구현함에 있어서, 종래의 전압 드라이빙 방식을 사용하지 않고, 전류 센싱 방식을 사용하였다. 전류 센싱 방식을 사용하면 글로벌 데이터 버스의 스윙폭을 크게 줄여 데이터 전송에 소모되는 전류를 최소화할 수 있으며, 이에 따라 글로벌 데이터 버스의 라인수를 확장하는데 따르는 어려움을 극복할 수 있다.

【대표도】

도 3

【색인어】

글로벌 데이터 버스, 송신기, 수신기, 전류 소모, 전류 감지

【명세서】**【발명의 명칭】**

반도체 메모리 소자{SEMICONDUCTOR MEMORY DEVICE}

【도면의 간단한 설명】

도 1은 글로벌 데이터 버스를 통한 포트-뱅크 간 데이터 전송 구조를 나타낸 도면.

도 2는 종래기술에 따른 상기 도 1의 제1 및 제2 트랜시버의 송신기 및 수신기의 세부 구성을 나타낸 도면.

도 3은 본 발명의 일 실시예에 따른 송신기(QTx) 및 수신기(Rx)의 세부 구성을 나타낸 도면.

도 4는 상기 도 3의 회로의 시뮬레이션 결과를 나타낸 도면.

* 도면의 주요 부분에 대한 부호의 설명

100 : 송신기

210 : 수신부

220 : 래치부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명은 반도체 설계 기술에 관한 것으로, 특히 반도체 메모리 소자의 내부 데이터 전송 방식에 관한 것이다.
- <10> 일반적으로, 시스템 또는 소자 내에서 서로 다른 기능단위를 연결하여 통신을 처리하는데 사용되는 신호선을 버스(bus)라고 한다.
- <11> 반도체 메모리 소자의 경우, 데이터 입/출력 핀에 인가된 데이터 - 입력 버퍼에서 버퍼 링 됨 - 를 코어 영역(뱅크)으로 전달하기 위하여 글로벌 데이터 버스가 사용되며, 코어 영역 내부에서는 로컬 데이터 버스 구조를 사용하고 있다.
- <12> 도 1은 글로벌 데이터 버스를 통한 포트-뱅크 간 데이터 전송 구조를 나타낸 도면이다.
- <13> 도 1을 참조하면, 글로벌 데이터 버스(GIO)를 사이에 두고 데이터 입/출력을 위한 포트(14)와 뱅크(16)가 배치되며, 글로벌 데이터 버스(GIO)와 포트(14) 사이의 데이터 교환을 위해 제1 트랜시버(10)가, 글로벌 데이터 버스(GIO)와 뱅크(16) 사이의 데이터 교환을 위해 제2 트랜시버(12)가 각각 구비된다.
- <14> 제1 트랜시버(10)는 포트(14)에 인가된 라이트 데이터를 글로벌 데이터 버스(GIO)에 로딩하기 위한 송신기(QTx)와 글로벌 데이터 버스(GIO)에 로딩된 리드 데이터를 포트(14)에 전달하기 위한 수신기(QRx)를 구비한다.

- <15> 또한, 제2 트랜시버(12)는 글로벌 데이터 버스(GI0)에 로딩된 라이트 데이터를 뱅크(16)로 전달하기 위한 수신기(Rx)와 뱅크(16)로부터 출력된 리드 데이터를 글로벌 데이터 버스(GI0)에 로딩하기 위한 송신기(Tx)를 구비한다.
- <16> 도 2는 종래기술에 따른 상기 도 1의 제1 및 제2 트랜시버의 송신기 및 수신기의 세부 구성을 나타낸 도면이다.
- <17> 도 2를 참조하면, 종래기술에 따른 송신기(QTx, Tx)(20)는 코어 전압단(vcc)과 출력단(GI0에 접속됨) 사이에 연결되며 데이터 신호 aaa를 게이트 입력으로 하는 풀업 PMOS 트랜지스터(MP)와, 출력단과 접지전압단(vss) 사이에 연결되며 데이터 신호 bbb를 게이트 입력으로 하는 풀다운 NMOS 트랜지스터(MN)를 구비한다.
- <18> 한편, 종래기술에 따른 수신기(QRx, Rx)(22)는 하나의 CMOS 인버터(INV)로 구현할 수 있다.
- <19> 만일, 데이터 신호 aaa 및 bbb가 각각 논리레벨 로우인 경우, 송신기(20)의 풀업 PMOS 트랜지스터(MP)가 글로벌 데이터 버스(GI0)를 논리레벨 하이로 구동하고, 수신기(22)의 CMOS 인버터(INV)는 글로벌 데이터 버스(GI0)에 실린 데이터를 반전시켜 논리레벨 로우의 데이터 ccc를 출력한다.
- <20> 또한, 데이터 신호 aaa 및 bbb가 각각 논리레벨 하이인 경우, 송신기(20)의 풀다운 NMOS 트랜지스터(MN)가 글로벌 데이터 버스(GI0)를 논리레벨 로우로 구동하고, 수신기(22)의 CMOS 인버터(INV)는 글로벌 데이터 버스(GI0)에 실린 데이터를 반전시켜 논리레벨 하이의 데이터 ccc를 출력한다.

- <21> 그리고, 데이터 신호 aaa 및 bbb가 각각 논리레벨 로우 및 하이인 경우에는 송신기(20)의 출력단이 하이 임피던스(Hi-Z) 상태가 되며, 데이터 신호 aaa 및 bbb가 각각 논리레벨 하이 및 로우인 경우에는 송신기(20)는 디스에이블 상태가 된다.
- <22> 전술한 바와 같은 전압 드라이빙 방식을 사용한 버스 송수신 구조는 제1 트랜시버(10)의 송신기(QTx)와 제2 트랜시버(12)의 수신기(Rx)는 물론, 제2 트랜시버(12)의 송신기(Tx)와 제1 트랜시버(10)의 수신기(QRx)에도 적용된다.
- <23> 통상적으로, 글로벌 데이터 버스는 밴드폭을 증대시키기 위해 다수의 버스 라인을 갖는다. 현재 가장 밴드폭이 큰 DRAM(DDR2)의 글로벌 데이터 버스는 64개의 버스 라인을 갖고 있다.
- <24> 이처럼 글로벌 데이터 버스의 라인수가 64개 이하인 경우에는 버스를 통해 전달되는 데이터가 코어 전압(vcc) 레벨로 풀 스윙하더라도 그 전류 소모량이 그다지 큰 문제가 되질 않았다.
- <25> 그러나, 글로벌 데이터 버스의 라인수가 64개 보다 늘어나게 되면, 즉 128, 256, 512개 등으로 늘어나면 데이터 전송에 많은 전류가 소모되어 전력 문제를 야기하게 된다.

【발명이 이루고자 하는 기술적 과제】

- <26> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 글로벌 데이터 버스의 라인수 증가에 따른 전류 소모를 최소화할 수 있는 반도체 메모리 소자를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <27> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 데이터 신호에 제어 받는 풀다운 드라이버를 구비하는 송신수단; 상기 송신수단의 출력단에 접속된 글로벌 데이터 버스; 상기 글로벌 데이터 버스에 흐르는 전류를 센싱하여 상기 글로벌 데이터 버스에 실린 데이터를 검출하기 위한 수신수단; 및 상기 수신수단으로부터 출력된 데이터를 래치하기 위한 래칭수단을 구비하는 반도체 메모리 소자가 제공된다.
- <28> 본 발명에서는 글로벌 데이터 버스와 접속된 송/수신기를 구현함에 있어서, 종래의 전압 드라이빙 방식을 사용하지 않고, 전류 센싱 방식을 사용하였다. 전류 센싱 방식을 사용하면 글로벌 데이터 버스의 스윙폭을 크게 줄여 데이터 전송에 소모되는 전류를 최소화할 수 있으며, 이에 따라 글로벌 데이터 버스의 라인수를 확장하는데 따르는 어려움을 극복할 수 있다.
- <29> 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.
- <30> 도 3은 본 발명의 일 실시예에 따른 송신기(QTx) 및 수신기(Rx)의 세부 구성을 나타낸 도면이다.
- <31> 도 3을 참조하면, 본 실시예에 따른 송신기(QTx)(100)는 접지전압단(vss)과 글로벌 데이터 버스(GIO) 사이에 연결되며, 데이터 신호(cdio)를 게이트 입력으로 하는 풀다운 NMOS 트랜지스터(MN1)를 구비한다.

<32> 한편, 본 실시예에 따른 수신기(Rx)는 글로벌 데이터 버스(GIO)에 흐르는 전류를 센싱하여 글로벌 데이터 버스(GIO)에 실린 데이터를 검출하기 위한 수신부(210)와, 수신부(210)에 수신된 데이터를 래치하기 위한 래치부(220)를 구비한다.

<33> 여기서, 수신부(210)는 글로벌 데이터 버스(GIO)에 흐르는 전류를 출력 노드(A)에 미러링하기 위한 전류미러부(212)와, 글로벌 데이터 버스(GIO)에 흐르는 전류량을 결정하기 위한 부하부(214)와, 데이터 캡쳐 신호(cp)에 응답하여 출력 노드(A)의 전류 패스를 제공하기 위한 스위칭부(216)를 구비한다.

<34> 또한, 래치부(220)는 데이터 캡쳐 신호(cp, cpb)에 응답하여 수신부(210)의 출력 노드(A)에 실린 신호를 반전시키기 위한 반전부(222)와, 반전부(222)의 출력신호를 반전 래치하기 위한 반전 래치부(224)를 구비한다.

<35> 한편, 수신부(210)의 전류 미러부(212)는 소오스가 전원전압단(vt1)에 접속되며 드레인과 게이트가 다이오드 접속된 PMOS 트랜지스터(MP1)와, 소오스가 전원전압단(vt1)에 접속되며 드레인이 출력 노드(A)에 접속된 PMOS 트랜지스터(MP2)를 구비한다.

<36> 그리고, 수신부(210)의 부하부(214)는 소오스가 PMOS 트랜지스터(MP1)의 드레인에 접속되고, 드레인이 글로벌 데이터 버스(GIO) 사이에 접속되며, 게이트로 기준전압(vrtb)을 인가 받는 NMOS 트랜지스터(MN2)와, 소오스가 PMOS 트랜지스터(MP2)의 드레인(출력 노드 A)에 접속되며, 게이트로 기준전압(vrtb)을 인가 받는 NMOS 트랜지스터(MN3)를 구비한다. 즉, 부하부(214)는 액티브 저항으로 구현할 수 있으며, 기준전압(vrtb)은 항상 일정한 레벨을 유지하는 정전압이며, 그 레벨은 버스의 길이, 동작주파수 등을 고려하여 최소한의 전류가 소모되도록 하는 범위에서 결정한다.

- <37> 그리고, 수신부(210)의 스위칭부(216)는 소오스가 NMOS 트랜지스터(MN3)의 드레인에 접속되고, 드레인이 접지전압단(vss)에 접속되며, 게이트로 데이터 캡쳐 신호(cp)를 인가 받는 NMOS 트랜지스터(MN4)를 구비한다.
- <38> 한편, 래치부(220)의 반전부(222)는 소오스가 전원전압단(vt1)에 접속되고, 데이터 캡쳐 신호의 반전신호(cpb)를 게이트 입력으로 하는 PMOS 트랜지스터(MP3)와, 소오스가 PMOS 트랜지스터(MP3)의 드레인에 접속되고, 드레인이 출력 노드(B)에 접속되며, 수신부(210)의 출력신호를 게이트 입력으로 하는 PMOS 트랜지스터(MP4)와, 소오스가 접지전압단(vss)에 접속되고, 데이터 캡쳐 신호(cp)를 게이트 입력으로 하는 NMOS 트랜지스터(MN5)와, 소오스가 NMOS 트랜지스터(MN5)의 드레인에 접속되고, 드레인이 출력 노드(B)에 접속되며, 수신부(210)의 출력신호를 게이트 입력으로 하는 NMOS 트랜지스터(MN4)를 구비한다.
- <39> 그리고, 래치부(220)의 반전 래치부(224)는 2개의 인버터(INV1, INV2)로 구현할 수 있다.
- <40> 도 4는 상기 도 3의 회로의 시뮬레이션 결과를 타나낸 도면이다.
- <41> 데이터 캡쳐 신호(cp)는 라이트 커맨드 또는 리드 커맨드가 인가되었을 때, 일정 시간(예컨대, 1tCK) 동안 활성화되는 하이 액티브 펄스이다.
- <42> 이하, 도 4를 참조하여 상기 도 3의 회로의 동작을 살펴본다.
- <43> 우선, 데이터 신호(cdio)가 논리레벨 하이가 되면 송신기(100)의 NMOS 트랜지스터(MN1)가 터온되어 글로벌 데이터 버스(GI0)에 전류가 흐르게 된다. 즉, 전원전압단(vt1), PMOS 트랜지스터(MP1), NMOS 트랜지스터(MN2), 글로벌 데이터 버스(GI0), NMOS 트랜지스터(MN1), 접지전압단(vss)에 이르는 전류 패스가 형성된다. 이에 따라서, 글로벌 데이터 버스(GI0) 및 수신부

(210)의 전류 미러부(212)의 PMOS 트랜지스터(MP1)의 드레인단의 전위가 $V_{t1}-V_{tp}$ (PMOS 트랜지스터의 문턱전압) 이하로 떨어지고, 전류 미러부(212)의 두 PMOS 트랜지스터(MP1, MP2)가 턴온되어 수신부(210)의 출력 노드(A)의 전위가 상승하게 된다.

<44> 이때, 데이터 캡쳐 신호(cp)가 논리레벨 하이로 활성화되어 NMOS 트랜지스터(MN4)가 턴온되면, PMOS 트랜지스터(MP2)와 NMOS 트랜지스터(MN4)의 출력 노드(A)에 대한 총/방전 경합이 이루어지나 PMOS 트랜지스터(MP2)의 사이즈를 크게 설계하면 출력 노드(A)의 전위가 논리레벨로 우로 급격히 방전되는 것을 방지할 수 있다.

<45> 한편, 데이터 캡쳐 신호(cp)가 논리레벨 하이로 활성화되면 래치부(220)의 반전부(222)의 NMOS 트랜지스터(MN5, MN6)가 턴온되며, 이때 수신부(210)의 출력신호는 논리레벨 하이 상태이므로, 반전부(222)의 출력 노드(B)는 논리레벨 로우가 된다. 또한, 반전 래치부(224)에서 논리레벨 하이값을 출력하며, 데이터 캡쳐 신호(cp)가 다시 활성화될 때까지 그 값을 유지한다.

<46> 다음으로, 데이터 신호(cdio)가 논리레벨 로우가 되면 송신기(100)의 NMOS 트랜지스터(MN1)가 턴오프되어 글로벌 데이터 버스(GI0) 및 수신부(210)의 전류 미러부(212)의 PMOS 트랜지스터(MP1)의 드레인단의 전위가 상승하게 되고, 전류 미러부(212)의 두 PMOS 트랜지스터(MP1, MP2)가 턴오프된다.

<47> 이때, 데이터 캡쳐 신호(cp)가 논리레벨 하이로 활성화되어 NMOS 트랜지스터(MN4)가 턴온되며, 이에 따라 수신부(210)의 출력 노드(A)의 전위가 떨어지게 된다. 또한, 데이터 캡쳐 신호(cp) 논리레벨 하이로 활성화되면 래치부(220)의 반전부(222)의 PMOS 트랜지스터(MP3, MP4)가 턴온되어 수신부(210)의 출력신호를 반전시켜 반전부(222)의 출력 노드(B)를 논리레벨

하이로 만든다. 또한, 반전 래치부(224)에서는 논리레벨 로우값을 출력하며, 데이터 캡쳐 신호(cp)가 다시 활성화될 때까지 그 값을 유지한다.

<48> 전술한 수신기 회로에서 사용한 공급전압(vt1)은 1.8V 정도의 레벨을 가진다. 따라서, 데이터 신호(cdio)가 논리레벨 하이인 경우, 글로벌 데이터 버스(GIO)의 전위는 OV보다 약간 높은 레벨이며, 데이터 신호(cdio)가 논리레벨 로우인 경우에는 MOS 트랜지스터의 문턱전압을 고려할 때 1V 미만의 레벨을 가질 것이다. 따라서, 본 발명을 적용하면 종래기술과 같이 글로벌 데이터 버스(GIO)가 코어 전압(vcc) 레벨로 풀 스윙하지 않고, 스윙 폭이 매우 작기 때문에 글로벌 데이터 버스(GIO)의 충방전에 소모되는 전류를 최소화할 수 있다. 이처럼 전류 소모를 크게 줄임으로써 글로벌 데이터 버스(GIO)의 라인수를 128, 256, 512개 등으로 확장할 때 수반되는 전력 소모 문제를 해결할 수 있게 된다.

<49> 한편, 송신기(100)에 풀다운 드라이버가 아닌 풀업 드라이버만을 사용하고, 수신부(210)의 회로를 변경하는 경우에도 전류 소모를 줄일 수 있으나, 풀업 드라이버를 사용하는 경우, 글로벌 데이터 버스(GIO)를 구동하기 위하여 풀다운 드라이버에 비해 2개 이상 큰 사이즈의 드라이버 트랜지스터를 필요로 하기 때문에 반도체 메모리 칩의 면적을 고려할 때 적합하지 않다.

<50> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<51> 예컨대, 전술한 실시예에서는 포트측의 송신기(QTx)와 뱅크측 수신기(Rx)에 적용하는 경우를 들어 설명하였으나, 본 발명은 뱅크측 송신기(Tx)와 포트측 수신기(QRx)에도 적용할 수 있다.

【발명의 효과】

<52> 전술한 본 발명은 글로벌 데이터 버스의 전류 소모를 최소화하는 효과가 있으며, 이에 따라 글로벌 데이터 버스의 라인수를 128, 256, 512개 등으로 용이하게 확대할 수 있다.

【특허청구범위】**【청구항 1】**

데이터 신호에 제어 받는 풀다운 드라이버를 구비하는 송신수단;

상기 송신수단의 출력단에 접속된 글로벌 데이터 버스;

상기 글로벌 데이터 버스에 흐르는 전류를 센싱하여 상기 글로벌 데이터 버스에 실린 데이터를 검출하기 위한 수신수단; 및

상기 수신수단으로부터 출력된 데이터를 래치하기 위한 래칭수단
을 구비하는 반도체 메모리 소자.

【청구항 2】

제1항에 있어서,

상기 수신수단은,

상기 글로벌 데이터 버스에 흐르는 전류를 자신의 출력 노드에 미러링하기 위한 전류미러부;

상기 글로벌 데이터 버스에 흐르는 전류량을 조절하기 위한 부하부; 및
데이터 캡쳐 신호에 응답하여 자신의 출력 노드의 전류 패스를 제공하기 위한 스위칭부
를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

【청구항 3】

제1항에 있어서,

상기 래칭수단은,

상기 데이터 캡쳐 신호에 응답하여 상기 수신수단의 출력 노드에 실린 신호를 반전시키기 위한 반전부와,

상기 반전부의 출력신호를 반전 래치하기 위한 반전 래치부를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

【청구항 4】

제2항에 있어서,

상기 전류 미러부는,

소오스가 전원전압단에 접속되며 드레인과 게이트가 다이오드 접속된 제1 PMOS 트랜지스터와,

소오스가 전원전압단에 접속되며 드레인이 상기 수신수단의 출력 노드에 접속된 제2 PMOS 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

【청구항 5】

제4항에 있어서,

상기 부하부는,

소오스가 상기 제1 PMOS 트랜지스터의 드레인에 접속되고, 드레인이 상기 글로벌 데이터 버스 사이에 접속되며, 게이트로 기준전압을 인가 받는 제1 NMOS 트랜지스터와,

소오스가 상기 제2 PMOS 트랜지스터의 드레인에 접속되며, 게이트로 상기 기준전압을 인가 받는 제2 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

【청구항 6】

제5항에 있어서,

상기 스위칭부는 소오스가 상기 제2 NMOS 트랜지스터의 드레인에 접속되고, 드레인이 접지전압단에 접속되며, 게이트로 상기 데이터 캡쳐 신호를 인가 받는 제3 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

【청구항 7】

제3항에 있어서,

상기 반전부는,

소오스가 전원전압단에 접속되고, 상기 데이터 캡쳐 신호의 반전신호를 게이트 입력으로 하는 제1 PMOS 트랜지스터;

소오스가 상기 제1 PMOS 트랜지스터의 드레인에 접속되고, 드레인이 자신의 출력 노드에 접속되며, 상기 수신수단의 출력신호를 게이트 입력으로 하는 제2 PMOS 트랜지스터;

소오스가 접지전압단에 접속되고, 상기 데이터 캡쳐 신호를 게이트 입력으로 하는 제1 NMOS 트랜지스터; 및

소오스가 상기 제1 NMOS 트랜지스터의 드레인에 접속되고, 드레인이 자신의 출력 노드에 접속되며, 상기 수신수단의 출력신호를 게이트 입력으로 하는 제2 NMOS 트랜지스터를 구비하

는 것을 특징으로 하는 반도체 메모리 소자.

【청구항 8】

제7항에 있어서,

상기 반전 래치부는 2개의 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

【청구항 9】

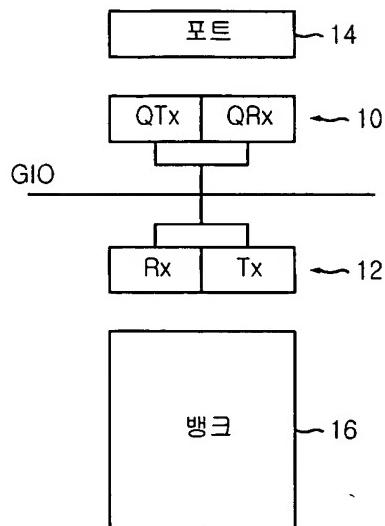
제1항에 있어서,

상기 풀다운 드라이버는 상기 글로벌 데이터 버스와 상기 접지전압단 사이에 접속되며,

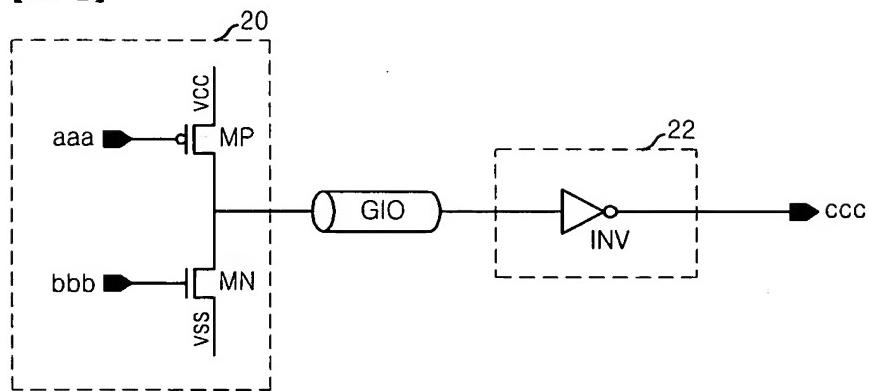
상기 데이터 신호를 게이트 입력으로 하는 NMOS 트랜ジ스터를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

【도면】

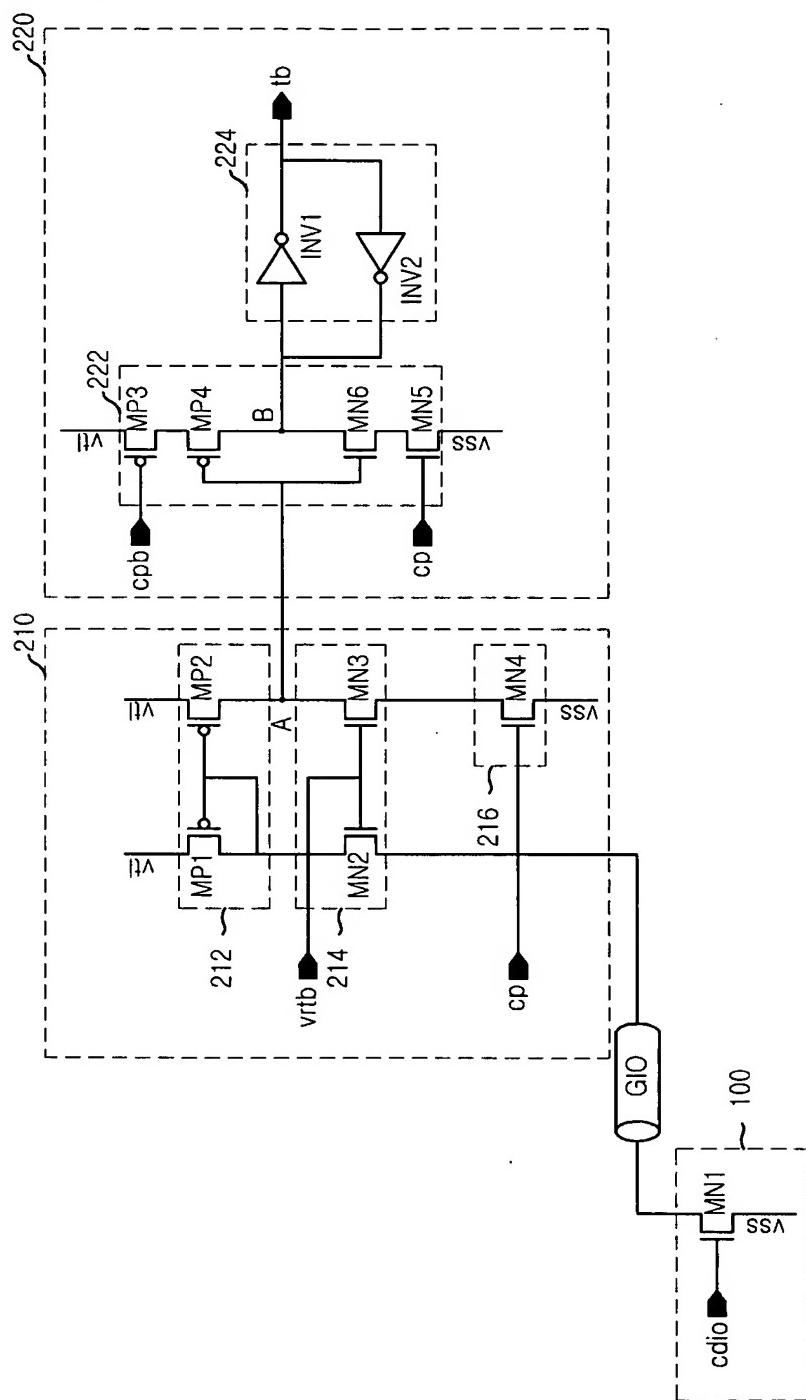
【도 1】



【도 2】



【도 3】



【도 4】

